

公 告 本

申請日期	90.5.25
案 號	90112606
類 別	G01R 31/319

A4
C4

548421

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	自動測試設備之時序量測單元及方法
	英 文	ATE TIMING MEASUREMENT UNIT AND METHOD
二、發明人 創作	姓 名	1.班哲明.布朗 4.安得魯 大明安.佛斯 2.艾瑞克 V.胡耳丁 5.金齊儀 3.約翰 勞伯.潘恩 6.楊兵衛
	國 籍	1.2.3.4.5.6. 美國
三、申請人	住、居所	1.美國奧勒岡州 97034 奧斯微格湖丁多區 1159 號 2.美國奧勒岡州 97007 阿羅哈 433PMB 西南法明坦路 17675 號 3.美國奧勒岡州 97224 提加得西南夏景路 15003 號 4.美國奧勒岡州 97221 波特蘭西南漢米敦街 3958 號 5.美國加州 91362 千橡樹來姆石路 2869 號 6.美國加州 91362 千橡樹亮星街 2844 號
	姓 名 (名稱)	泰瑞丹公司
三、申請人	國 籍	美 國
	住、居所 (事務所)	美國麻州 02118 波士頓哈瑞森大道 321 號
三、申請人	代 表 人 姓 名	湯馬士 S.葛里爾克

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

美 國 (地區) 申請專利，申請日期： 2000.05.31 案號： 09/584,636 ， ☒有 ☐無主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要（發明之名稱：

)

自動測試設備之時序量測單元及方法

本發明係揭示一種自動測試設備，其用以測試一半導體元件。該自動測試設備包含一個工作站及接腳電子電路，其連接於該半導體元件及該電腦之間。該接腳電子電路係包含：複數個通道，每一通道包含時序電路，該時序電路可操作，以回應期望之程式化時序資訊；一驅動器／比較器電路，其連接至該時序電路以於一週期 T 之下驅動測試波形，且於一個節拍週期 $T + / - \Delta t$ 下由該波形取樣資料；及一時序測量單元。該時序測量單元係連接至該驅動器／比較器電路，以測量該取樣資料之該相對時序。該複數個通道係合作，以產生平行之實質即時時序測量資料。

英文發明摘要（發明之名稱：ATE TIMING MEASUREMENT UNIT AND METHOD)

Automatic test equipment is disclosed for testing a semiconductor device and including a computer workstation and pin electronics circuitry coupled between the semiconductor device and the computer. The pin electronics circuitry includes a plurality of channels, each channel having timing circuitry operative in response to desired programmed timing information, driver/comparator circuitry coupled to the timing circuitry for driving test waveforms at a period T , and sampling data from the waveforms at a beat period $T \pm \Delta t$, and a timing measurement unit. The timing measurement unit is coupled to the driver/comparator circuitry for measuring the relative timings of the sampled data. The plurality of channels cooperate to produce substantially real-time timing measurement data in parallel.

五、發明說明 (1)

發明之領域

本發明一般而言係關於自動測試設備，尤指一種時序量測單元及用於收集時序資訊之方法。

發明背景

自動測試設備允許半導體裝置製造商大量地測試於市場上販賣之每一個元件之功能。該自動測試設備通常係稱為測試器，其一般而言係驅動訊號至一個受測元件且偵測由該受測元件而來之訊號，並將該偵測出之值與期望之值作比較。

目前之半導體元件通常具有數百至數千個之間之接腳以接收及送出許多輸入／輸出訊號。因此＜一個測試器所遭遇之根本挑戰之一係牽涉到，於相當準確之時脈下同步化由複數個受測元件而來之訊號之施加或偵測。同步化高速之測試訊號通常係需要某些形式之校正技術，以補償與每一個測試器通道相關之許多訊號劣化因數。實施時序校正之兩個較常用之方法包含時域反射測定法（TDR）及遊標尺線性校正法。

傳統之時域反射測定法一般而言係牽涉到一個傳輸線長度之決定及預測該傳輸線所造成之訊號延遲。該傳輸線長度通常係藉由驅動一脈波至該開路端之線、偵測反射及測量兩個事件間之相對時序而計算出。該傳統之時域反射測定法之更完全的解釋係見於專利權人為歐子基（Otsuji）之美國專利公告號第 5, 3 2 1, 6 3 2 號。

遊標尺線性校正法係指特徵化一估時序遊標尺之真正

五、發明說明（ $\geq$ ）

邊邊緣時序以回應預先定義之延遲設定。傳統上，此係使用一個大的繼電器、射極集極邏輯閘等之控制陣列而一次實施一個通道，且被主機駐存硬體所中央掌控。於該特徵化期間，每一個通道之資料結果係依次回饋至該硬體。雖然如此之技術對於其想要之應用做得不錯，但是由校正程序之時間及可靠度觀之，於元件之接腳數目上之急遽增加使得如此之循序方法變成不想到的。

因此需要一個用於快速且準確地實施時序測量之時序測量單元及方法。移動選通校正設備及方法係滿足這些需求。

發明概要

本發明之時序測量單元及其相關方法係提供高準確度測試器時序資料取得及處理，對於校正應用以最小化校正處理時間係特別有用。因此，其導致較高之測試器準確度、較高之測試器性能及半導體製造商之較低測試成本。

爲了實現上述之優點，本發明之一個形式係包含一自動測試設備，其用以測試一個半導體元件，且包含一個工作站及接腳電子電路，其連接於該半導體元件及該電腦之間。該接腳電子電路係包含：複數個通道，每一通道包含時序電路，該時序電路可操作，以回應期望之程式化時序資訊；一驅動器／比較器電路，其連接至該時序電路以於一週期 T 之下驅動測試波形，且於一個節拍週期 $T + \Delta t$ 下由該波形取樣資料；及一時序測量單元。該時序測量單元係連接至該驅動器／比較器電路，以測量該取樣資料

五、發明說明（ 3 ）

之該相對時序。該複數個通道係合作，以產生平行之實質即時時序測量資料。

於另一個形式中，本發明係包含一個即時結果處理器，其用以於一個半導體測試器接腳電子電路通道中實施，以偵測關於具有由一個半導體測試器所產生之週期 T 之測試波形的真正時序資料。該即時結果處理器包含具有一個輸入電路，其具有一個時脈輸入，以接收於該節拍週期下由該測試波形取樣而來之一串列資料值。該即時結果處理器亦包含一資料濾波器，其連接至該輸入電路且具有邏輯電路，以回應預先程式規劃之準則以取出指示一個時序事件之資料。一個計數器係可操作於計數該資料值，且產生一個對於一個預定參考計數之該取出時序事件資料之時序的計數代表。一儲存電路係儲存該計數。

於又另一個形式中，本發明係包含一個決定一個傳輸線之長度之方法。該方法包含下列步驟：首先，於一預定之週期 T 之下，沿著該傳輸線驅動一個預定大小之週期性波形，以產生入射邊緣及反射邊緣之一個週期性序列。然後，一個電腦偵測臨界值係設定於一個指定之準位以偵測該入射邊緣。該波形係於一選通週期 $(T + \Delta t)$ 下被選通或取樣。該選通週期及該波形週期係結合以界定一個節拍週期。然後，一個時脈參考點係建立於該波形上。一旦該時脈參考點係被建立於該波形上，於一個第一次搜尋之中，該入射邊緣之一係於一個入射邊緣偵測點被偵測出。由該時序參考點至該入射邊緣偵測點之選通數之計數係

（請先閱讀背面之注意事項再填寫本頁）

訂線

五、發明說明 (4)

被紀錄。爲了保持該時序參考點，該計數係以該節拍週期速率被重置。該方法繼續於後續之搜尋中偵測該反射邊緣，並記錄由該時序參考點至該反射邊緣偵測點之選通數之一個計數。一旦該反射邊緣偵測點之選通數之計數係完成時，該方法係藉由估計該入射邊緣偵測點及該反射邊緣偵測點之間之相對計數以決定該傳輸線之長度。

藉由詳細描述本發明之較佳實施例及參考後附圖式，本發明之上述目的及優點將變成明顯的。

圖示簡單說明

藉由參考下列更詳細之說明及後附圖示，可更加瞭解本發明，其中：

第 1 圖係一個根據本發明之一個實施例之通道結構實施的高階示意方塊圖；

第 2 圖係一個根據本發明之一個實施例之時序測量單元硬體的部分示意方塊圖；

第 3 圖係一個結合第 1 圖之該時序測量單元之即時結果處理器硬之示意方塊圖；

第 4 及 5 圖係顯示於時域反射測定法資料收集期間該時序量測單元硬體之操作的圖形表示；

第 6 A 及 6 B 圖係顯示用於時域反射測定法應用之該即時結果處理器之資料收集及處理操作的進一步圖形表示；

第 7 圖係一顯示於遊標尺線性資料收集期間之該時序量測單元硬體之操作的圖形表示。

五、發明說明(5)

〔元件符號說明〕

2 0	自動測試設備
2 2	樣式產生電路
2 6	失敗結果處理器
2 8	資料產生器
3 0	驅動電路
3 1	選通輸入
3 2	比較器電路
3 4	傳輸線
4 0	時序量測單元
4 2	節拍時脈
4 4	第一選擇器
4 5	第二選擇器
4 6	輸出正反器
4 7	游標選擇器
4 8	第一量測正反器
4 9	第二正反器
5 0	即時結果處理器
5 2	輸入電路
5 3	輸入暫存器
5 6	第一多工器
5 7	第二暫存器
5 8	十進位級
6 0	可程式除法器

五、發明說明 (6)

6 2	第二多工器
6 4	資料濾波器
6 6	先進先出單元
6 8	算數邏輯單元
7 0	加法器
7 2	可程式化控制器
7 4	控制暫存器
7 6	輸出暫存器
7 7	暫存器
7 8	複數個暫存器
8 0	計數器電路
9 0	第一開關路徑
9 4	第三路徑

發明之詳細說明

參照第 1 圖，根據本發明之一個形式，一個自動測試設備 2 0 係包含複數個半導體測試器通道，通道 1、通道 2 及通道 N，用於作為一個測試器電腦工作站（未示出）至複數個受測元件接腳（未示出）之介面。（未示出）。每一個測試器通道係包含樣式產生電路 2 2，該樣式產生電路 2 2 饋入向量至時序電路、一個失敗結果處理器 2 6 及一個資料產生器 2 8，其係於先前技藝中所熟知。於每一個通道中之一個驅動電路 3 0 及比較器電路 3 2 根據由該樣式產生電路 2 2 及該時序電路而來之準確時序事件，而沿著一傳輸線 3 4 施加訊號至該受測元件及偵測由該受

五、發明說明（ 7 ）

測元件而來之訊號。爲了確保該準確時序係於期望之容忍度之內，一個一般標示爲 40 之時序量測單元係於每一個通道中實施，以最小化該複數個通道之資料收集延遲。

參照第 2 及 3 圖，根據本發明之一個形式之時序量測單元 40 係包含能夠選擇性地接收由一個測試器通道而來之時序量測訊號，以測量該相關之傳輸線之長度，及／或線性化該通道時序電路。藉由知道該傳輸線之長度及／或該時序電路之特性以回應改變變數成高度準確度，沿著該傳輸線之延遲能夠以對應之高度準確度及可預測性而被校正。

進一步參照第 2 圖，該時序量測單元 40 係與該比較器電路 32 結合，且包含硬體，以選擇性地擷取時域反射測定法之資料或時序游標特性化資料。爲了清楚起見，僅示出一個比較器（高準位），然而，較佳地，係使用一個雙比較器結構，一個高準位及一個低準位。該時序量測單元之基本結構之一係牽涉到使用一個“節拍時脈” 42，其係略微偏移該測量出之波形舉例而言 1 皮秒（picosecond），造成該節拍時脈透過以皮秒之增量的連續週期“移動”通過該波形。

對於時域反射測定法之應用而言，該時序量測單元硬體更進一步包含一個第一選擇器 44，該第一選擇器 44 通過該節拍時脈訊號或一個正常的選通訊號至該比較器電路 32 之該選通輸入 31。一個第二選擇器 45 係通過該取樣之時域反射測定法資料至一個亦輸入該節拍時脈 42

五、發明說明(8)

之輸出正反器46之該“D”輸入。

對於時序游標線性化資料收集而言，一個游標選擇器47係被採用，以通過一個游標訊號至一個第一量測正反器48之該時脈輸入。一個固定上升緣參考係被饋入至該量測正反器48之該設定輸入，使得一個脈波係於該輸出產生。該脈波係藉由時脈而通過一個第二正反器49以增加時序之穩定性，且於線性化模式中，其通過而到達該輸出正反器46。

參照第3圖，該輸出之正反器資料(由輸出正反器46而來)係饋入一個特別適合於校正型資料處理之即時結果處理器50。一般而言，該即時結果處理器50包含一個輸入電路52、一個由該輸入電路52饋入訊號之資料濾波器64、一個計數器電路80及複數個暫存器78。該輸入電路52包含一個由節拍時脈42作為時脈之輸入暫存器53。由該輸入暫存器53而來之輸出係沿著一資料路徑透過一個第一多工器56而饋入至一個十進位級58。該十進位級58係由一個可程式除法器60作時脈輸入，接著，該可程式除法器60係由一個由一個第二多工器62而來之選擇時脈作時脈輸入。一個第二暫存器57係顯示出對應於由該低比較器電路(未示出)而來之資料。

進一步參照第3圖，該十進位級58之輸出係連接至資料濾波器64，該資料濾波器64一般係包含一個先進先出單元66及一個算數邏輯單元68。該算數邏輯單元

五、發明說明 (9)

6 8 包含複數個輸入 A、B 及 C，以分別接收“目前之值”、後十進位之資料及先進先出輸出訊號。該算數邏輯單元 6 8 之輸出係饋入至一個加法器 7 0。該算數邏輯單元 6 8 之控制係由一個可程式化控制器 7 2 所完成，該可程式化控制器 7 2 驅動一個控制暫存器 7 4。該算數邏輯單元 6 8 接收由該控制暫存器 7 4 而來之被編碼成方程式、高限制指令及低限制指令及之控制訊號。該可程式化控制器 7 2 及該加法器 7 0 之輸出係於一個輸出暫存器 7 6 上產生一個“結果輸出”。

該資料濾波器 6 4 之輸出，即該“結果輸出”，係提供一個用於通過一個暫存器 7 7 而以時脈輸入資料之訊號，以選擇性地儲存於儲存暫存器 7 8。該記憶體之資料輸入係連接至該計數器電路 8 0 之輸出，該計數器電路 8 0 監視由一個預設定參考點而來之節拍時脈脈波數。該計數器電路 8 0 包含接收該節拍訊號時脈及由該主電腦而來之一個程式化的“滾動”臨界值，以於時域反射測定法之測量應用中重置該計數器。該儲存暫存器 7 8 採取一個限制深度之計數堆疊之形式，其保持一個進行中之總計位置 SUM，及個別的最小及最大值位置 MIN 及 MAX。

於操作時，於一個應用中，用於每一個通道之該時序量測單元 4 0 係被使用，以實施一個時域反射測定法之測量，以決定具有非常高準確度之通道傳輸線長度。一般而言，如示於第 1 圖，對於通道 1 CHN 1 而言，該測量技術係牽涉到驅動一個由該驅動電路 3 0 之輸出而來之入射緣

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明（10）

直接沿著一個第一開關路徑 9 0 至該比較器電路 3 2。該入射緣亦由該驅動器之輸出沿著該傳輸線 3 4 傳送。該開路端之線導致該入射緣反射及傳送，作為一個反射緣沿著一個第三路徑 9 4 至該比較器電路 3 2。雖然上述之一般步驟係熟悉本項技藝人士所知曉，本發明之該時序量測單元實施其資料收集以給予一個具有最小之程序時間的高準確度之時域反射測定法之測量之有利方式係更詳述於下。

第 4 圖係顯示於一預定週期 T 下之一串列驅動器脈波及饋入該比較器之結果波形之關係。雖然該驅動電路 3 0 於該先前注意之週期 T 下係設定為“擊發”，但是致能該比較器電路 3 2 抓取或取樣資料之該比較器選通訊號（示為一個 $\uparrow$ ）之週期係略微偏移成 $(T + \Delta t)$ 或 $(T - \Delta t)$ 。因此，對於每一個後來之驅動器脈波而言，該選通訊號將會產生一個於相對時間上略微不同之點。於一個可預測之期間，該入射邊緣及該選通將於一個固定之週期下重疊，其定義一個通常稱為“節拍週期”之週期。發明人已經發明此，其藉由於該節拍週期之速率下重置該計數器電路 8 0，而達成一個高準確度之時域反射測定法之測量。

為了進一步說明本發明之該時域反射測定法之測量，第 5 圖顯示一個具有舉例而言 $100 \cdot 000$ 奈秒（nanosecond）之週期之單一時域反射測定法的波形。如所示，於一個略微偏移之 $100 \cdot 0005$ 奈秒週期的數個選通週期具有“移動通過”該波形之特性（選通訊號之指示係未標示刻度）。計數 A 係具有該程式規劃比較器臨限

五、發明說明（ 11 ）

值於滿刻度之百分之 25 的偵測選通計數，而計數 B 係具有該程式規劃比較器臨限值於滿刻度之百分之 75 的偵測選通計數。然而，因為其花費一有限之時間以將該比較器之臨限值由百分之 25 移動至百分之 75，所以該相對計數僅係於其係參考相同之參考點時才有用。不採取於時間上參考該些事件至該相同之點，本發明人係於每一個波形中參考該些事件至該相同之相對點，且該計數器於每一個波形週期上之該相同點滾動。因此，於 A 及 B 之計數值之間之差係指示可歸因於該傳輸線長度之該傳送時間。藉著此資訊，該測試器能夠校正由於在真正元件測試期間之傳輸線距離之延遲。

於操作期間，個別之入射及反射邊緣之邊緣偵測係藉由該即時結果處理器 50 之操作而完成。一般而言，如示於 5A 圖及 5B 圖，該即時結果處理器 50 於舉例而言僅 1 皮秒之增量下擷取由該時域反射測定法的波形而來之取樣資料，以允許該邊緣存在處之即時統計分析。由於牽涉到舉例而言該比較器電路 32 之設定時間的不完全穩定性，該資料擷取程序提供一種決定該邊緣之高準確度之方式。該使用者界定統計上指示一個諸如於一系列（由該 1 皮秒之增量之資料流）中 4 個邏輯高準位之邊緣的存在之準則。該準則係為該可程式化控制器 72 所使用，以監視該加法器 70 及該算數邏輯單元 68。此一般而言係藉由於個別之“視窗”注視通過該先進先出單元 66 之資料流。因為一個先進先出單元 66 具有 8 個位置深，所以係可使用

五、發明說明（12）

8 個位置之一個增加視窗用以監視（示於第 5 B 圖）。一旦該準則被滿足，該邊緣可以視為被“偵測出”。

在資料擷取之同時，該 1 皮秒增加之步驟係由該計數器電路 80 所計數，以及時指示該邊緣位於一個參考點之位置。然後，當該處理器之準則滿足時（當於一系列中步驟之預定數目係等於邏輯高準位時），該計數係被決定並儲存於該儲存暫存器 78 中。

於努力最大化該偵測出之邊緣之準確度並最小化該記憶體時，該邊緣偵測之數個“搜尋”係被實施，以努力平均該計數。由每一個搜尋之該“計數”之一個流動總計係維持於該總計位置 SUM，且該最小及最大計數值係儲存於個別之位置 MIN 及 MAX。然後，一個平均值係被計算出，而將最高及最低值丟棄。此僅係適合之低成本的演算法之一例，以決定用於以該即時結果處理器實施之邊緣位置。

當實施上述之時域反射測定法時，最佳化之結果係藉由下列步驟而獲得：送出一個入射波（上升緣），允許該波形由該傳輸線之開路端反射，及使該反射繞行 10 次，然後，送出一個下降緣，且讓該邊緣反射時間被處理。假如一個具有該下降邊緣之時域反射測定法不被實施，則用於該入射邊緣之解決時間可以減少成一個單一來回。

對於採用數千個或更多之通道的自動測試設備而言，上述之時域反射測定法允許平行地即時處理多通道之時序量測。此大大地減少資料擷取時間，且因此減少實施時序

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明（13）

校正之程序時間。

請參照第 6 圖，該時序量測單元 40 亦係有用於以高準確度獲取時序線性量測。一般而言，該方法牽涉到捕捉由複數個時序游標步驟而來之邊緣資料，且決定於每一個步驟之間之相對時間，以努力特性化該游標於延遲值之一個範圍內。

更明確言之，並參照第 2 圖，用於該時序游標線性化之方法的資料擷取係藉由以該游標選擇器 47 選擇一個游標設定且將該游標邊緣饋至該第一量測正反器 48 而實現。該結合之固定的上升緣及該游標下降緣係輸出至該第二正反器 49，然後，通過該第二選擇器 45，以回應一個線性化模式訊號。該脈波係饋入通過該輸出正反器 46，且至該即時結果處理器 50 之該輸入電路 52。

該即時結果處理器 50 以與該時域反射測定法之應用極為相同之方式偵測該游標邊緣，且處理相對於該固定上升緣之參考的真正邊緣時序。後續之下降邊緣係根據增量之游標設定而被產生，如示於第 6 圖，且根據該上述之方法而測量及儲存。然後，該資料可以被進一步作分析，以特性化該真正之游標延遲，以回應該改變之設定。然後，任何該非線性可以藉由該測試器經由已知之校正程序而補償。

當然，因為每一個測試器通道採用其自己的硬體以實施如上所述之時序線性量測，所有的測試器通道能夠平行地實施該線性化量測。因此大幅減少資料收集之時間。

五、發明說明（14）

熟悉本項技藝人士將瞭解本發明所提供之許多利益及優點。特別重要的係允許用於多通道之時序量測同時實施之該即時平行處理能力。此外，藉由利用該“節拍頻率”之理論，係可實現高度準確之資料收集，而大幅貢獻給高速及高準確之半導體測試操作可獲得之高度準確性。

雖然本發明已經參考發明之較佳實施例而特別予以顯示及敘述，應瞭解的是，於不偏離本發明之精神及範疇之下，熟悉本項技藝人士可以實施形式上及細節之許多變化。舉例而言，雖然暫存器已經敘述用於儲存該算術邏輯單元之輸出，但是實施一個記憶體以實現該儲存功能係於本發明之範圍之內。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

六、申請專利範圍

1.一種用於測試一半導體元件之自動測試設備，該自動測試設備包含：

一個工作站；及

接腳電子電路，其連接於該半導體元件及該電腦之間，該接腳電子電路係包含複數個通道，每一通道包含：

時序電路，該時序電路可操作，以回應期望之程式化時序資訊；

一驅動器／比較器電路，其連接至該時序電路以於一週期 T 之下驅動測試波形，且於一個節拍週期 $T + / - \Delta t$ 下由該波形取樣資料；及

一時序量測單元，該時序量測單元係連接至該驅動器／比較器電路，以測量該取樣資料之該相對時序，該複數個通道係合作，以產生平行之實質即時時序測量資料。

2.如申請專利範圍第 1 項所述之用於測試一半導體元件之自動測試設備，其中，該時序量測單元包含一即時結果處理器。

3.如申請專利範圍第 2 項所述之用於測試一半導體元件之自動測試設備，其中，該即時結果處理器包含：一個輸入電路，其具有一個時脈輸入，其適合於接收於該節拍週期下由該測試波形取樣而來之一串列資料值；

一資料濾波器，其連接至該輸入電路且具有邏輯電路，以回應預先程式規劃之準則以取出指示一個時序事件之資料；

一個計數器，其具有一個輸入，其連接至該節拍時脈

六、申請專利範圍

，且係可操作於計數該資料值，且產生一個對於一個預定參考計數之該取出時序事件資料之時序的計數代表；及

一記憶體，其係用於儲存該計數。

4.如申請專利範圍第2項所述之用於測試一半導體元件之自動測試設備，其中，該計數器包含一個滾動輸入，其設定成於一個該節拍時脈週期 $T + \Delta t$ 及該波形週期 T 重疊之速率之下滾動該計數器。

5.一種於一半導體測試器接腳電子電路通道中實施之即時結果處理器，其用於偵測關於由一個半導體測試器產生之測試波形的真正時序資料，該時序量測單元包含：

一個輸入電路，其具有一個時脈輸入，其適合於接收由該測試波形取樣而來之一串列資料值；

一資料濾波器，其連接至該輸入電路且具有邏輯電路，以回應預先程式規劃之準則以取出指示一個時序事件之資料；

一個計數器，其可操作於計數該資料值，且產生一個對於一個預定參考計數之該取出時序事件資料之時序的計數代表；及

一儲存電路，其係用於儲存該計數。

6.如申請專利範圍第5項所述之於一半導體測試器接腳電子電路通道中實施之即時結果處理器，其中，該儲存電路包含複數個暫存器，其用於儲存選擇出之資料值。

7.如申請專利範圍第5項所述之於一半導體測試器接腳電子電路通道中實施之即時結果處理器，其中，該輸入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

電路包含一個十進位器，其係藉由一個可程式之除法器以時脈輸入，以由該資料流移除多餘之資料。

8.如申請專利範圍第 5 項所述之於一半導體測試器接腳電子電路通道中實施之即時結果處理器，其中，該資料濾波器包含一個具有可程式化深度之先進先出器，以界定一個資料窗，且該邏輯電路包含一個算術邏輯單元，其具有一個連接至該先進先出器之輸出之輸入端。

9.一種決定一傳輸線之長度之方法，該方法包含下列步驟：

於一預定之週期 T 之下，沿著該傳輸線驅動一個預定大小之週期性波形，以產生入射邊緣及反射邊緣之一個週期性序列；

設定一個電腦偵測臨界值於一個指定之準位以偵測該入射邊緣；

於一選通週期 $(T + \Delta t)$ 下選通該波形，該選通週期及該波形週期係結合以界定一個節拍週期；建立一個時脈參考點係於該波形上；

於一個第一次搜尋之中，偵測於一個入射邊緣偵測點之該入射邊緣之一個，記錄由該時序參考點至該入射邊緣偵測點之選通數之計數；

重置該計數係以該節拍週期速率，以維持該時序參考點；

該方法繼續於後續之搜尋中偵測該反射邊緣，並記錄由該時序參考點至該反射邊緣偵測點之選通數之一個計數

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

；及

估計該入射邊緣偵測點及該反射邊緣偵測點之間之相對計數，以決定該傳輸線之長度。

10.如申請專利範圍第9項所述之決定一傳輸線之長度之方法，其中，該偵測之步驟之每一個係包含下列步驟：

處理由該比較器選通週期所產生之邏輯資料值之一資料流；

建立一個用於該資料流之統計準則，以代表該入射／反射邊緣之位置；及

當該準則滿足時，辨認該邊緣。

11.如申請專利範圍第10項所述之決定一傳輸線之長度之方法，其中，該處理之步驟包含濾除該邏輯資料值之步驟。

12.如申請專利範圍第9項所述之決定一傳輸線之長度之方法，其中，該估計之步驟包含即時平均複數個搜尋以辨認該入射邊緣偵測點及該反射邊緣偵測點之步驟。

13.一種平行地決定複數個週期測試器波形之脈波寬度之方法，該複數個週期測試器波形係由複數個測試器通道所產生，該些通道之每一個係同時實施下列步驟：

於一個預定之週期下驅動一個固定之參考上升緣；

選擇一個第一時序游標步驟之延遲，以產生一個下降緣波形；

結合該固定之參考上升緣及該下降緣，以產生一個第一期望之脈波寬度；

六、申請專利範圍

於 $(T + / - \Delta t)$ 之取樣速率下取樣由該下降緣波形而來之資料；

偵測該真正之脈波寬度；

重複具有後續游標設定之該驅動、選擇、結合、取樣及偵測之步驟，以產生偵測出之脈波寬度資料；及

以該偵測出之脈波寬度資料特性化該時序游標。

(請先閱讀背面之注意事項再填寫本頁)

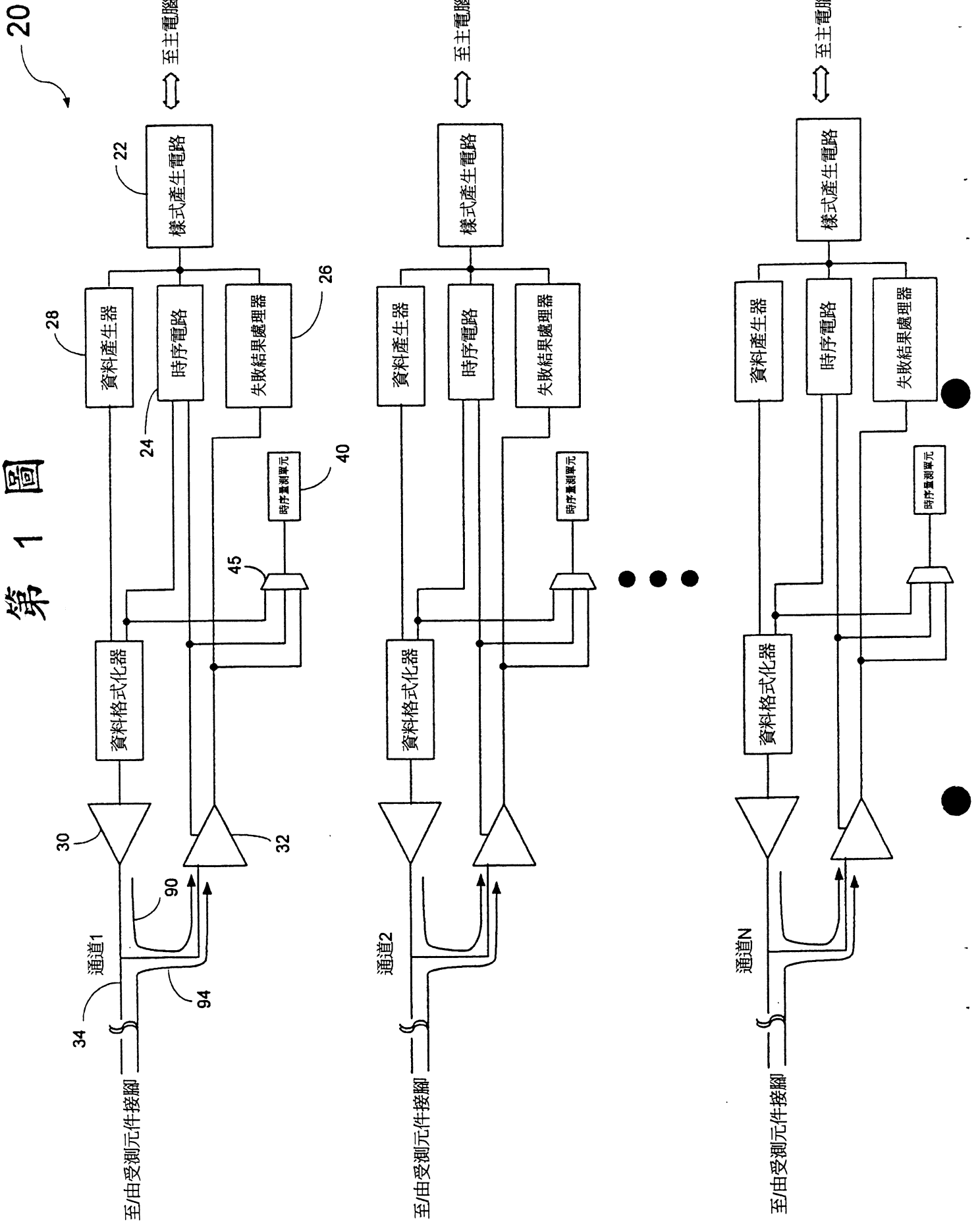
裝

訂

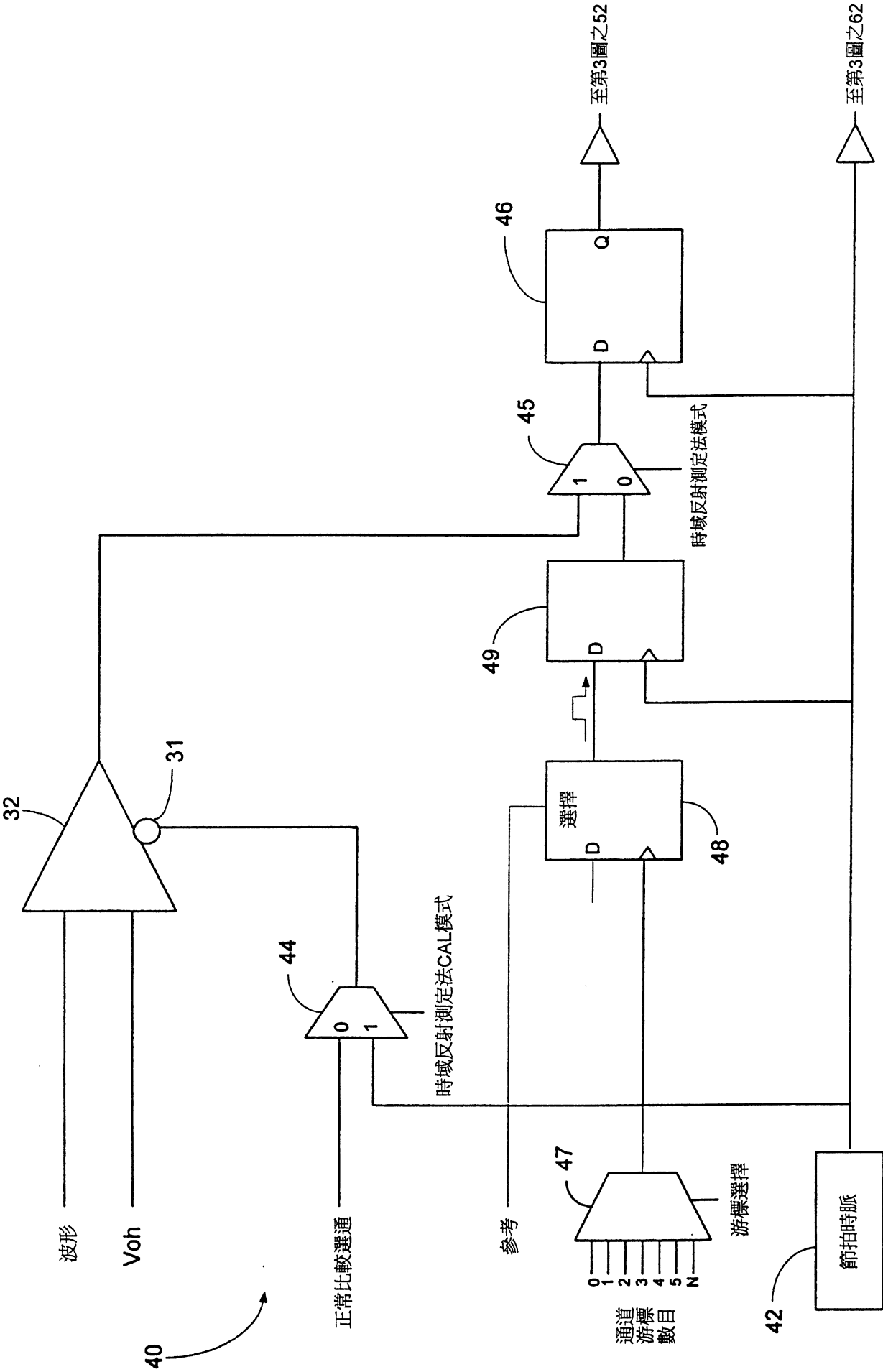
線

P. 112606

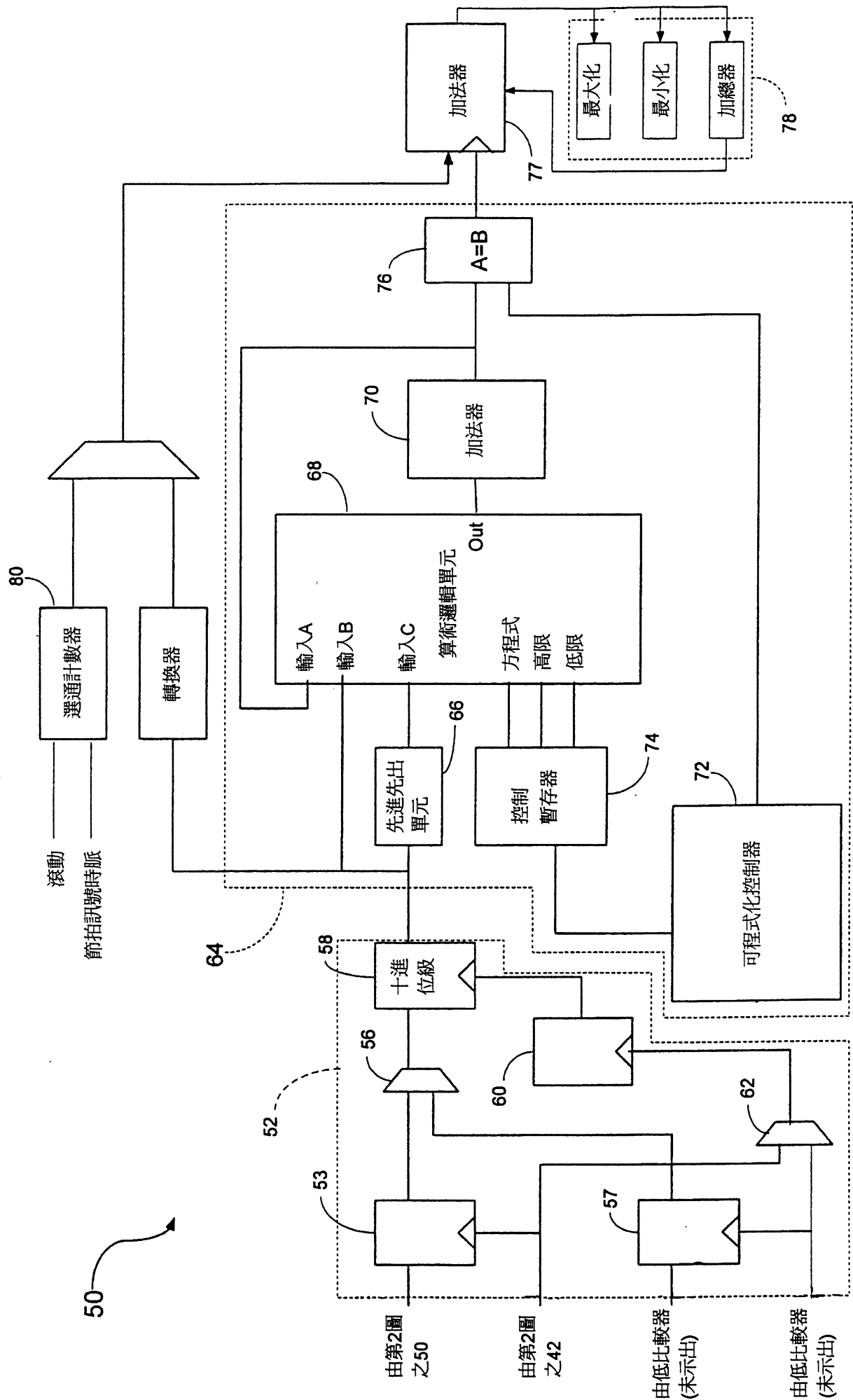
第 1 圖

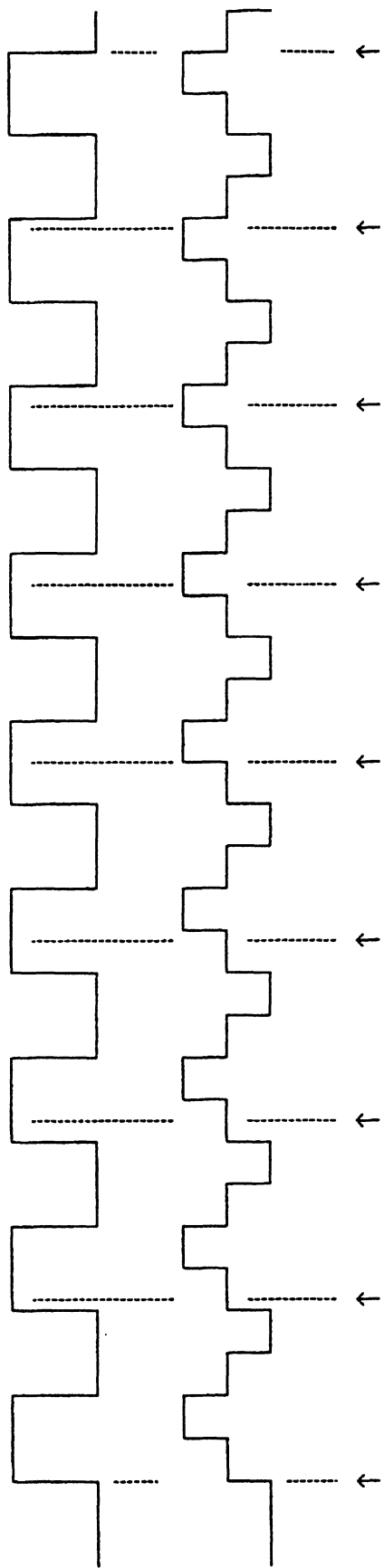


第 2 圖

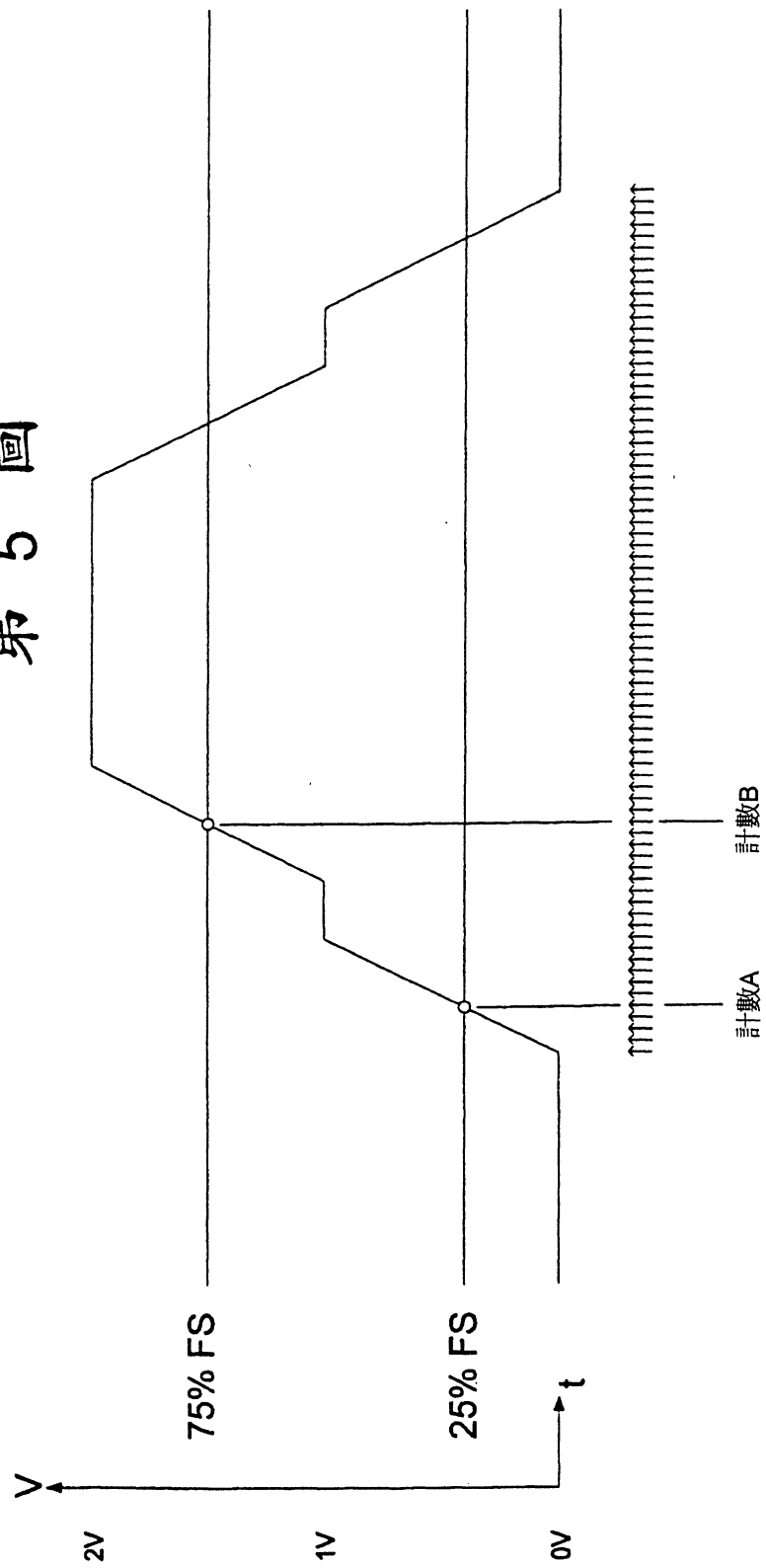


第 3 圖

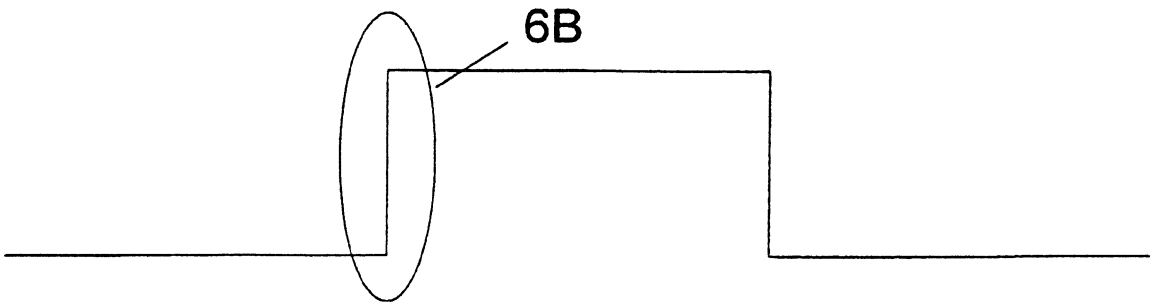




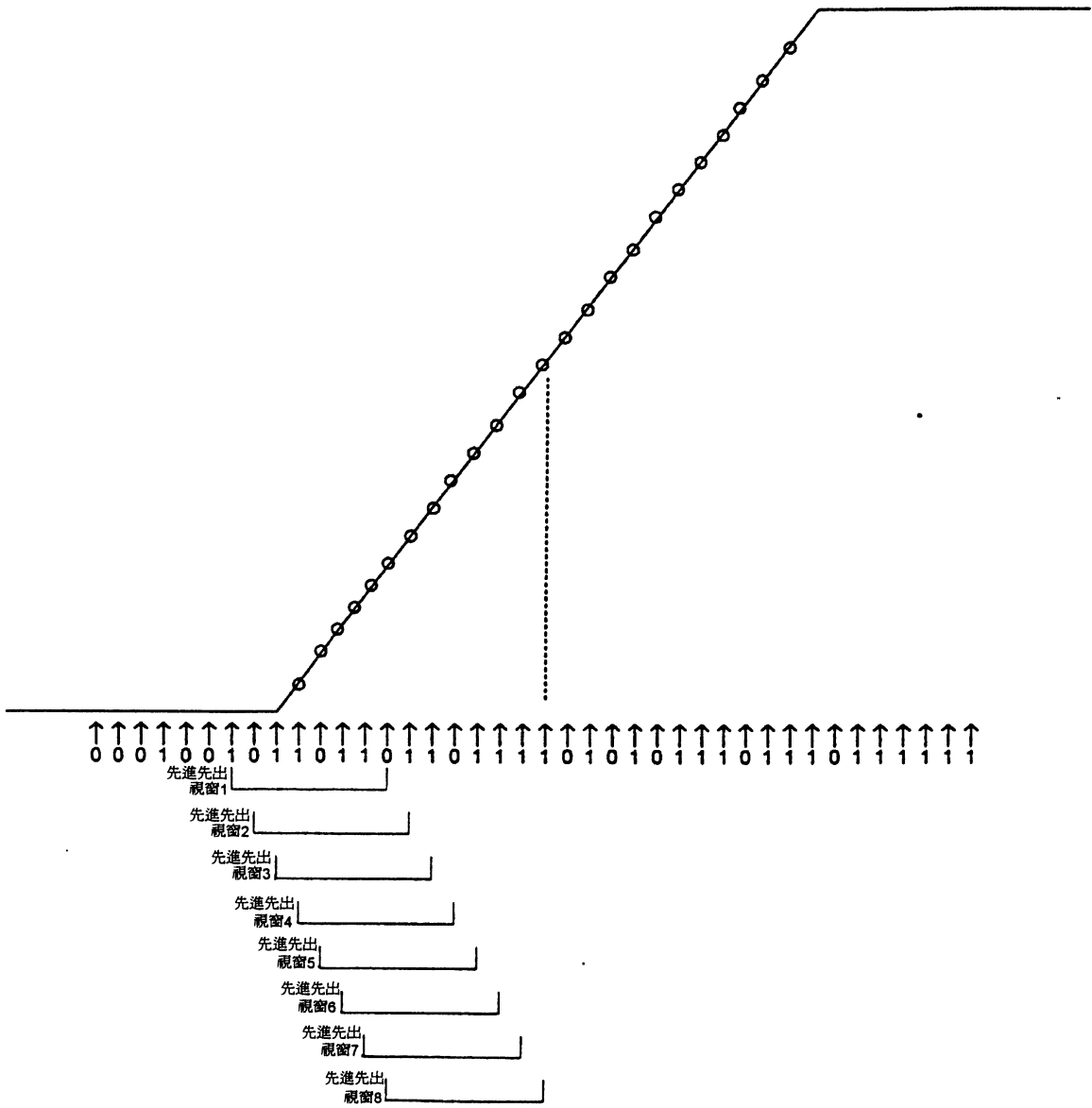
第五圖



第 6A 圖



第 6B 圖



第 7 圖

